

Brute Forceで行こう！ ～ ハードウェア将棋ワールド

2008年11月7日

伊藤 英紀

目次

- 将棋ハードウェア前史
 - FPGAとASIC
 - チェスハードウェア概観
- A級リーグ指し手1号の内部構造
 - システム構成
 - 各モジュール: 盤解析、評価、手生成、探索、盤更新
 - 実装に関する情報
- ASIC化による性能向上予測
 - 性能と強さの関係の定量化
 - 予想シナリオ

A級リーグ指し手1号 (“Aリーグ”)

- FPGAで開発した将棋エンジン(世界初)
- 2007年6月 開発開始 工数~3人月
- 2008年5月、第18回世界コンピュータ将棋選手権で18位(2次予選15位)

開発者ブログ <http://aleag.cocolog-nifty.com/>
(「FPGA 将棋」等で検索すると見つかる)

名前の由来



©川崎のぼる・梶原一騎
「巨人の星」より

FPGAとは?



Altera社HPより

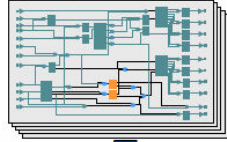
FPGAとは?(続き)

- Field Programmable Gate Array
- コンフィグレーション用メモリにデータをロードすることにより、ハードウェア構成を変更可能なLSI

➡ PCのBIOSを変更する程度の手間で、手軽にハードウェアの試作が可能に

FPGAを用いた設計・試作工程

HDL設計/論理合成

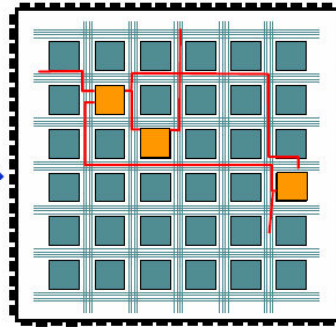


配置配線処理
コンパイル

ビットストリーム
ファイル

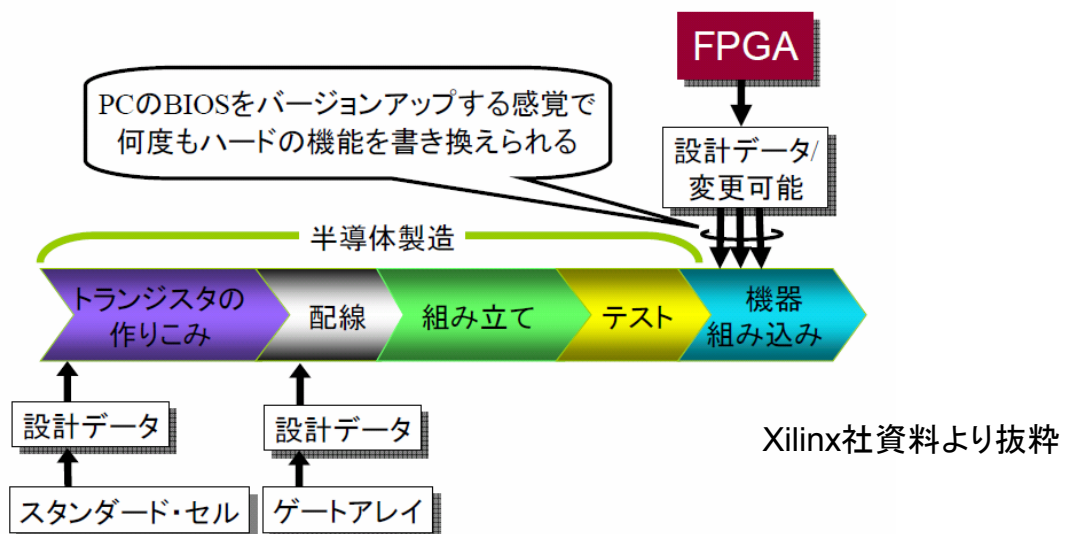


FPGA



Xilinx社資料より抜粋

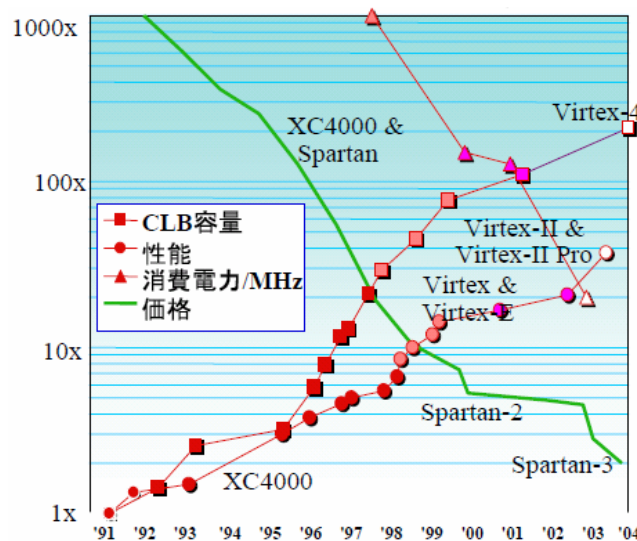
FPGAとASICとの対比



FPGAとASICとの対比(続き)

	ASIC	FPGA
開発費	×高い	○安い
試作期間	×長い	○短い
修正しやすさ	×大変	○手軽
チップ単価	○安い	×高い
回路規模	○大きい	×小さい
速度	○速い	×遅い

FPGAの進化



Aリーグ並の回路
が手が届くように
なったのは05年頃

Xilinx社資料より抜粋

ハード化エンジンの先例 ~ チェス

基本哲学「力任せに速く読めば強くなる」

資金とリソースを大量投入

- Belle
 - Thompson, Condon @ Bell Lab
 - 最初25 chip -> 325 chip -> 1700 chip 0.2m³ 60kg
 - '70年代後半(76?)から開発
- Bebe
 - Scherzerら。'80年代?
- HiTech
 - Hans Berlinerら5人 @ CMU
 - 64 VLSI chip
 - '80年代後半(85?)から開発

ハード化エンジンの先例(続き)

- Deep Blue (/ Deep Thought / ChipTest)
 - Feng-hsiung Hsu ら6人 @ CMU
 - 最初のMove Generator chipに6人月。MOSISで製造。Dynamic回路使用(!)
 - '89年からIBMに移る(当初5年計画)
 - 0.25um ASIC, システムで480chip(30/CPU)
 - ルート側はソフト、末端数手+静止をASICで
 - 1997年、当時のチェス世界チャンピオン(カスパロフ氏)に勝利

主な大会結果

ACM(北アメリカ)大会

	1位	2位
78	Belle	
79	(Chess)	Belle
80	Belle	
81	Belle	
82	Belle	
83	<世界選手権と共通>	

	1位	2位
84	(Cray Blitz)	Bebe
85	HiTech	Bebe
86	Belle	
87	ChipTest-M	
88	Deep Thought	
89	HiTech&Deep Thought	

主な大会結果(続き)

世界選手権

	1位	2位
80	Belle	
83	(Cray Blitz)	Bebe
86	(Cray Blitz)	HiTech
89	Deep Thought	Bebe

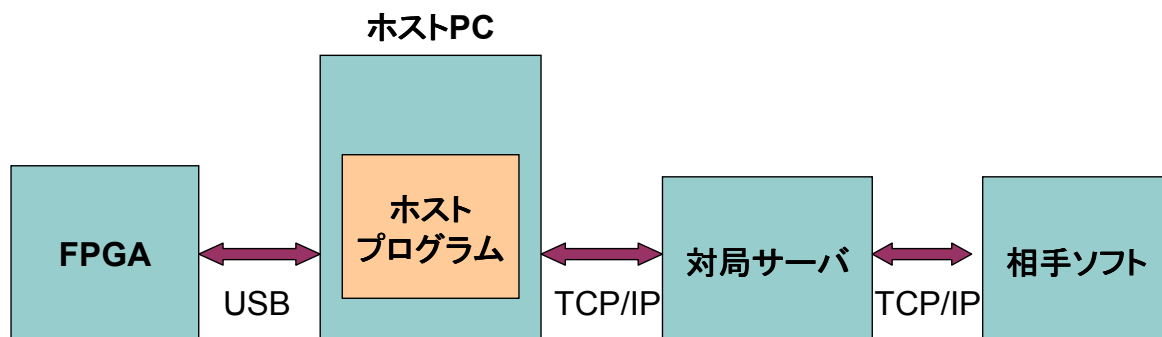
80年代以降はハード化エンジンがソフトを圧倒

基本哲学の正しさを実証

ハード化エンジンの先例(続き)

- Hydra (/ Brutus)
 - Chrilly Donninger ら3人@Paderborn大
 - その後、UAEの支援者からの援助
 - FPGA 32個 x 2コア/chip, 33MHz @ Virtex-1 (その後更に進化した?)
 - 2003年世界選手権4位
 - 2005年、コンピュータチェス界ではトップクラス?
- 堀さんの詰探索回路
 - システムとして動いたわけではないらしい?

A級リーグ指し手1号 : システム構成



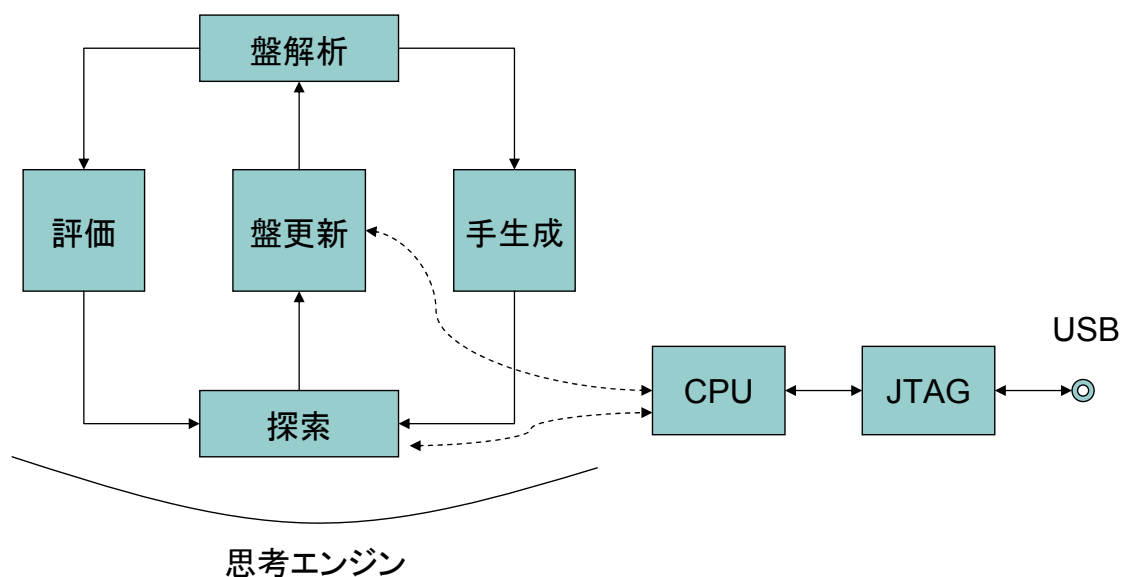
ホストは序盤の定跡部を除き、
通信を担当するのみ。思考はすべてFPGA
ホスト「相手が△6四角を指した。次の手どうぞ」
FPGA「...▲1八飛」

:

開発に必要な要素

- FPGAボード
 - Altera社製 CycloneIII開発キット DK-DEV-3C120N
 - 19万円弱 通販で購入 TAT ~1wk
- PC(開発用)
 - Core2Duo 1.86GHz, メモリ 2GB
- ツール
 - QuartusII, NiosII EDS ~ Altera HPから入手(無料)
- ブロードバンド接続

Aリーグの思考エンジン



データ構造

- 各マス 5bit x 81
- 持駒 歩...飛 x B/W
- 飛角香はID制。(valid, B/W, 成, x, y) x 8
※ "B/W" : Black / White

盤解析モジュール

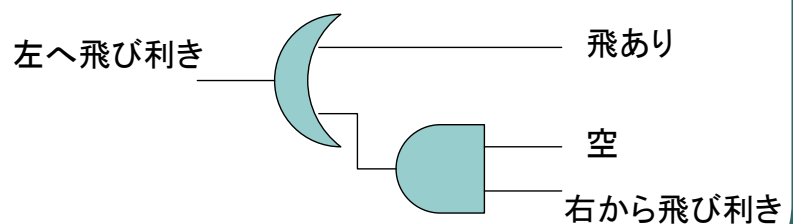
→ 81個の「セル」から成る

各セルへの入力

12近傍からの利き
(飛び利きでない)

8方向からの飛び利き
(valid, B/W, ID)

V		V
V	V	V
V	◎	V
V	V	V
V		V



セル内での評価

- 両王との相対位置による重み
- B/W 双方の利きでテーブルを引く

	0	1	2	3	4+
0	0	-1	-2	-3	-3
1	1	0	-1	-2	-3
2	2	1	0	-1	-2
3	3	2	1	0	-1
4+	3	3	2	1	0

- 歩と飛の区別等は(今は)していない
- 引いた値と重みをかけ、各セルの評価値とする

盤面の評価

- 駒割
- 持ち駒ボーナス(歩のみ枚数で飽和する)
- 成駒ボーナス
- $(\sum \text{各セルの評価値}) * \text{進行度}$

※進行度は、成駒、侵入駒、持駒から以上の線形和

→ これだと最小限の物量で可能
(金銀の自由度等、追加しかけ)

セル内の手生成

- このセルに来る手をリストアップ
 - 出力
 - 10近傍からの非飛び利き 10 bit
 - 8方向からの飛び利き 8 bit
 - 銀不成り 5 bit(最大)
 - 桂不成り 2 bit(最大)
 - 香不成り 1 bit(最大)
 - 打ち 7 bit
- 計

 33 bit (最大)

手選択

- 各セルから、33bitの手bitmaskの他、
 - (王手でないなら)直前の取り／取り／それ以外
 - (王手なら)王手駒の取り／逃げ／合駒が(セル単位で)わかる
- 探索モジュールから、
 - セル(マス)のマスク(81bit)と
 - (各セル内の)手のマスク(33bit)をトライ済情報としてもらう

手選択(続き)

- 81マスでトーナメント
 - セルがマスクされていれば負け
 - セルへの手がなければ負け
 - 3クラス間では、上位が勝つ
 - 同クラスならセルの位置(固定順)で決まる
 - ※MVV-LVAはできるかも?
- セル内では、(マスクされていないもののうち)固定順で決まる

 一つの手を選択

α β 探索のハードウェアによる実現

- 毎サイクル、進む(fwd)か戻る(rwd)かする
- fwd条件
 - fwd後(or開始直後)、合法手があり、かつ深さ>0
 - rwd後、合法手が残っていて、かつ β カットでない
- rwd条件
 - fwd後(or開始直後)、合法手がない、または深さ=0
 - rwd後、合法手が残っていない、または β カット

※PVS、反復深化、Nullmove Pruning等もこの手法の延長で可能

スタック

- ルートからの各ノードの状態を保持
- RAM使用 深さ(今は)32
 - α (今までの最善値) 15 bit
 - β 15
 - 深さ 6
 - 今までの最善手 18
 - セル/手マスク 82+33
- fwd時にセーブ、rwd時にリード
- 手数[-1]でアドレス

静止探索

- 決められた深さ以上では、手生成を取り(とパス)のみにする。取りでない手はマスクする。
- 決められた深さ以上では、パス後はリーフとする(Stand-Pat)
 - サイクル的にはムダ。タイミング的には...?
- 他は全て通常探索と同じ

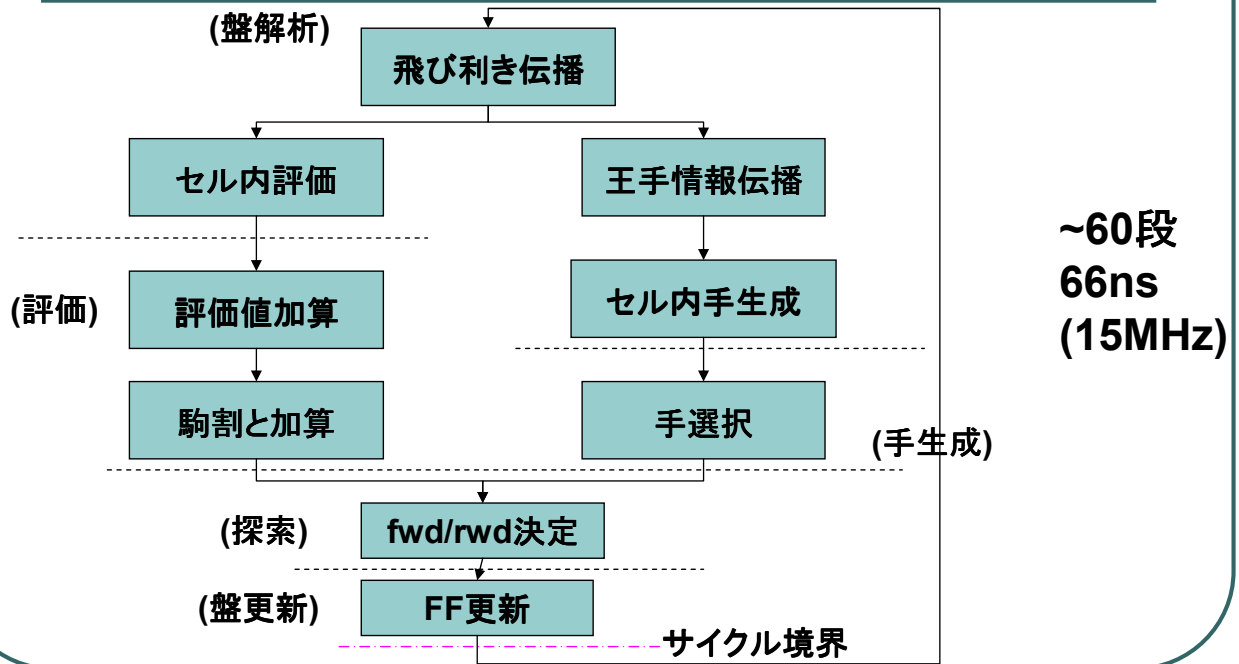
盤更新

- 選んだ手に応じて盤面更新(or 戻す)
- 評価のうち、駒割は差分計算
- 毎ターン、盤を反転
- 盤のflip flopを保持

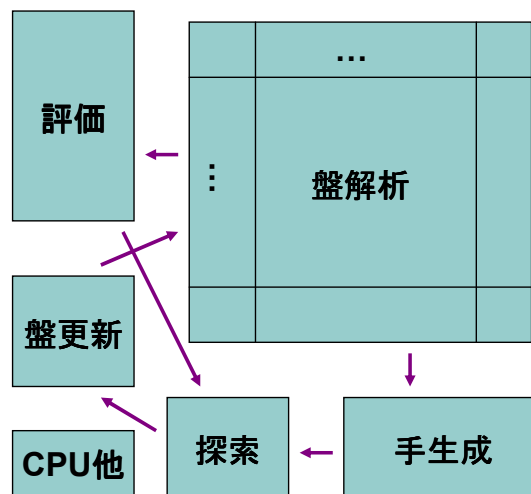
回路規模

- FPGAで73K LE (Cyclone III — 最大120K LE)
- モジュール別
 - 盤解析 39 K (0.4-5K/セル)
 - 評価 5 K
 - 手生成 4 K
 - 探索 16 K
 - 盤更新 7 K
 - CPU他 2 K
- verilog行数 : 16K行 (スクリプト作成分含む)
- 手書きぶん : 9K行

クリティカルパス



フロアプラン(案)



ASIC化による性能向上予測(概算)

- Aリーグとトップソフトのレーティング差:
800(floodgateのデータから推定)
- トップソフトと名人のレーティング差:600 (奨励会三段相当として、R100/段、名人=九段)
- 「深さ1深く読むとレーティング +200」仮定(Heinzの論文他)
- 深さ1深く読むとノード数5倍(実績値、複数筋)



- 追いつくには $5^{**}(1400/200) \div 8$ 万倍の向上必要

高速化 & 並列化

- 速度M倍は即性能M倍
- N並列の効果は $N^{**}0.75$ を仮定(ルートだと、1万台で100倍?それは小さすぎるだろう)
- 現在は15MHz、1コア
- 10chip/ボードとし、ホストPCと各ボードをイーサで接続、を想定

予想シナリオ

- ケース1) 予算500万円:

40MHz, 400コアが可能

- VDECのローム0.18umで75万円。設計委託、ボード試作入れても500万に収まるだろう
- 合成結果から、4コア/chip入りそう(推定、5mm角前提)。速度は40MHzと予想
- ボード10枚だと、100chip、400コア
- $(40/15) * (400^{**}0.75) \doteq 200$ 倍
- 現在のトップレベルソフト並?

予想シナリオ(続き)

- ケース2) 予算5000万円:

160MHz, 32000コアが可能

- MOSISのIBM 65nmで1500万円。設計委託、ボード試作、ウェハー焼き増し入れても5000万に収まるだろう
- 合成結果から、16コア/chip入りそう(推定、4mm角前提)。速度は160MHzと予想
- ボード200枚だと、2000chip、32000コア
- $(160/15) * (32000^{**}0.75) \doteq 24000$ 倍
- パラメタ調整等であとR+120程度できれば追いつく?
- 45nmが使えればこれでも追いつくかも

予想シナリオ(続き)

- ケース3) 予算2億円:
160MHz, 160000コアが可能
 - IBM 65nm フルマスクで1億円。設計委託、ボード試作、ウェハー焼き増し入れても2億に収まるだろう
 - 合成結果から、400コア/chip入りそう(推定、20mm角前提)。速度は160MHzと予想
 - ボード40枚だと、400chip、160000コア
 - $(160/15) * (160000^{**}0.75) \div 80000$ 倍
 - ほら、追いついた
- $160M * 160000 / 2 = 13Tnps$ 、1手10秒で0.13ペタ局面

歴史に学ぶ

- 87年 トップのチェスシステムは人間トップにR400-500差
 - 今の将棋はそれより1、2年遅れ
- 97年 ハードのトップが人間に勝つ
- 06年 トップソフトが人間に勝つ
- 将棋でトップソフトが人間に勝つまで、あと11-12年? ハード進化のペース鈍化を考えると、15年程度と予想

歴史に学ぶ(続き)

- リソースをかけてハードを開発すれば、あと6年程度で到達可能と予想
- Thompsonの存在がリソースに呼び水に。将棋では別途方策必要
- 要素技術は既に(クラスタ並列ソフトを除き)既に揃っていると考える。リソースを集めるプロジェクト活動・政治性がより重要に

ご静聴ありがとうございました



A
級

勝
つ

香
車
を
引
い
て

七
冠
王
に

