

ASIC化で名人に勝つ！ ～コンピュータ将棋専用ハードウェア

伊藤 英紀
uf8e-itu@asahi-net.or.jp

A級リーグ指し手1号 ～世界初&唯一のFPGA将棋エンジン

- 2007年6月 開発開始(個人としての活動)
「ソフトを専用ハードで置き換え」の一事例として
- 世界コンピュータ将棋選手権に出場 2008年18位、2009年 16位
- 開発者ブログ <http://aleaq.cocolog-nifty.com/> (「FPGA 将棋」等で検索)

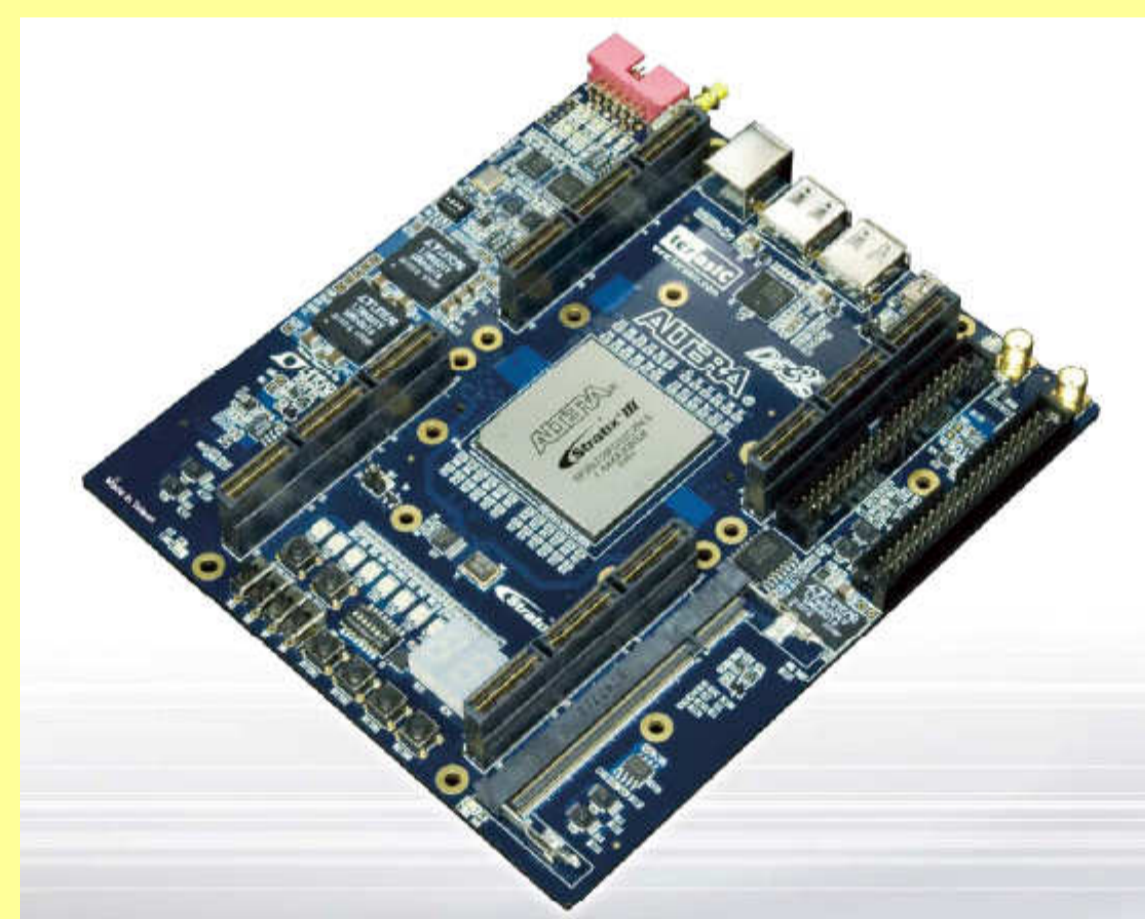
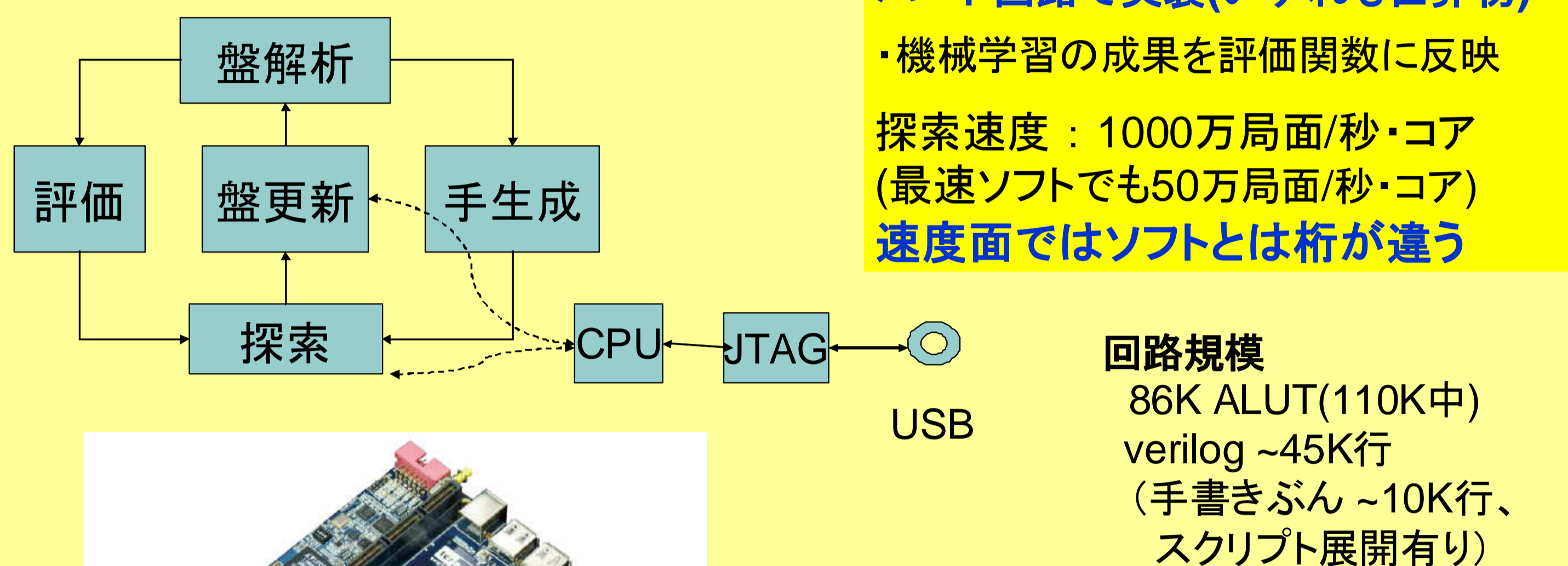
ここまでできたら、せっかくだから(人間の)名人に勝てるものを作りたい！
専用ハード化の格好の宣伝材料にもなる。(大ニュース間違いなし)

現在の強さはアマ二段程度で、まだかなり名人とは差がある。だが

「まだ本気出してないだけ」 ASIC化で大幅に改善可能

...しかし、個人レベルでは実現困難。どうしようか？

FPGA内部の構成



使用ハードウェア
FPGA評価ボード Terasic社DE3-150
Altera Stratix III EP3SL150 1個使用
20MHz 動作 1コア/chip

写真はTerasic社資料より

実装上の特徴 - $\alpha\beta$ 探索がベース

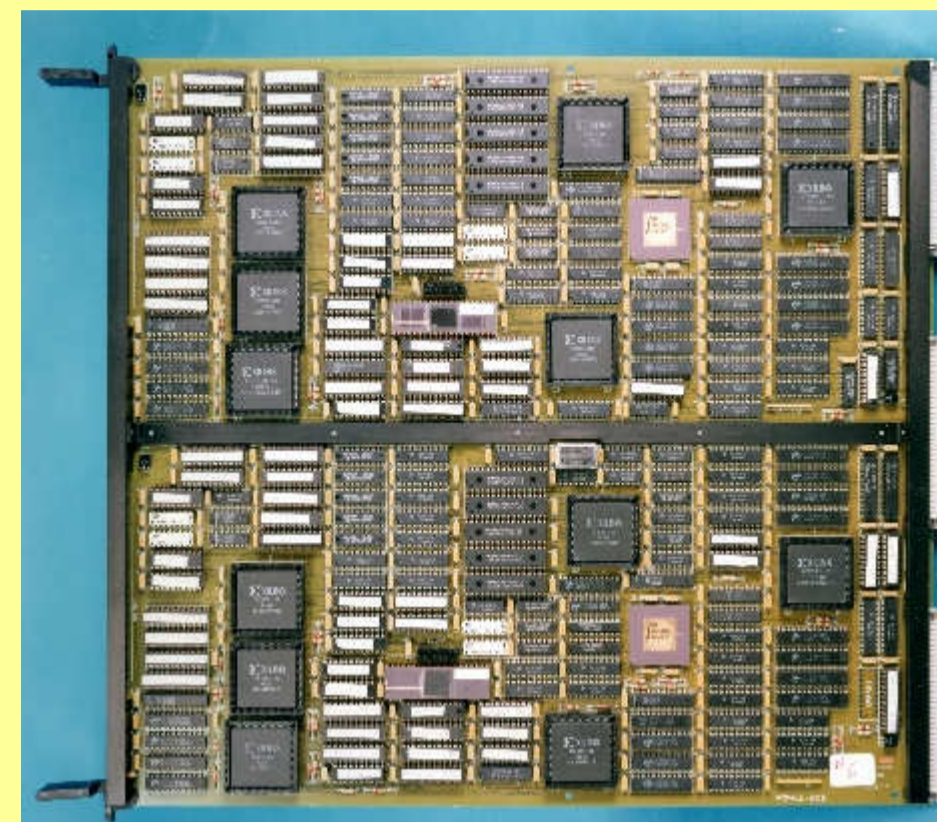
- ・PVS探索
 - ・反復深化
 - ・Nullmove Pruning
 - ・Late Move Reduction
 - ・Futility Pruning
 - 等々、数々のソフトウェア技術をハード回路で実装(いずれも世界初)
 - ・機械学習の成果を評価関数に反映
- 探索速度：1000万局面/秒・コア
(最速ソフトでも50万局面/秒・コア)
速度面ではソフトとは桁が違う

コンピュータチェス史における ハードウェアエンジンの位置付け

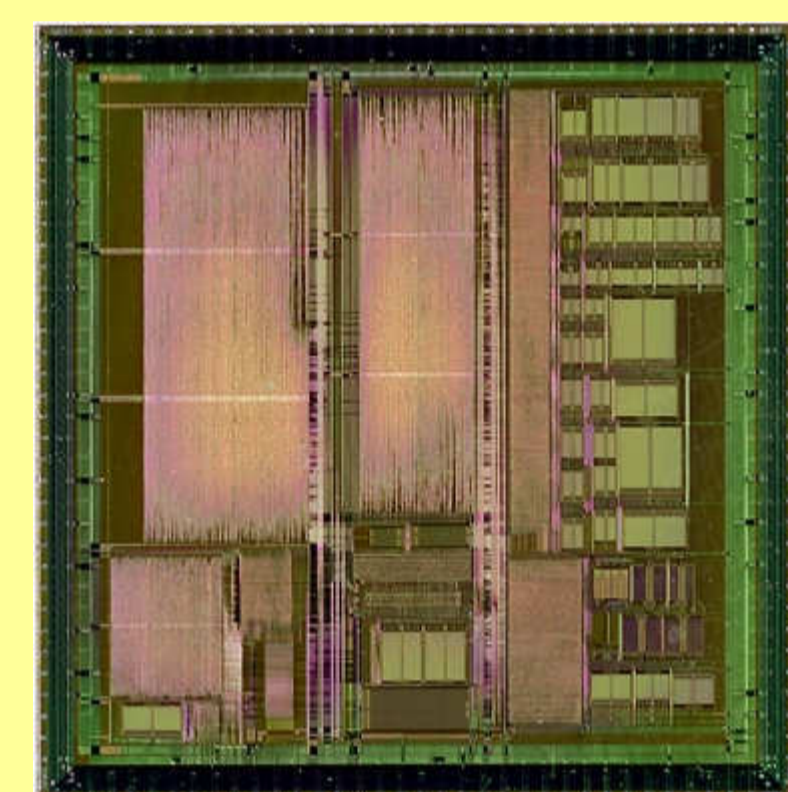
- 1950- 「AI(人工知能)のショウジョウバエ」と呼ばれ、1950年代からプログラムが開発されていた
- 1960- 70年代半ばまではソフトウェアエンジンのみ
- 1970- 世界最初のハードウェアエンジン Belle (ATT Bell研)がコンピュータチェスの大会で優勝
- 1978- いくつかの他のハードウェアエンジン登場、大会で優勝等の活躍。HiTech(カーネギーメロン大)、Bebe等
- 1980- ハードウェアエンジン Deep Thought (カーネギーメロン大)登場
- 1986- この頃コンピュータがグランドマスターレベルに。人間のチャンピオンとR~500差
この頃からはハードエンジンが完全にソフトを凌駕
- 1989- IBMがDeep Thoughtチームと契約、Deep Blue開発開始
- 1996- Deep Blueが人間の世界チャンピオン、カスパロフと対戦、カスパロフ勝利
- 1997- カスパロフと再戦、Deep Blue勝利。
チェスチップ480個から成るシステム
コンピュータが人間のチャンピオンを破る
当時大ニュースに。宣伝効果\$100Mとも。



ひじを乗せている台がBelle。右は開発者の1人、Ken Thompson (UNIXの開発でも有名)



Deep Thoughtのボード。VLSI 2個



Deep BlueのVLSI (の1つ)



Deep Blue 対 Kasparov

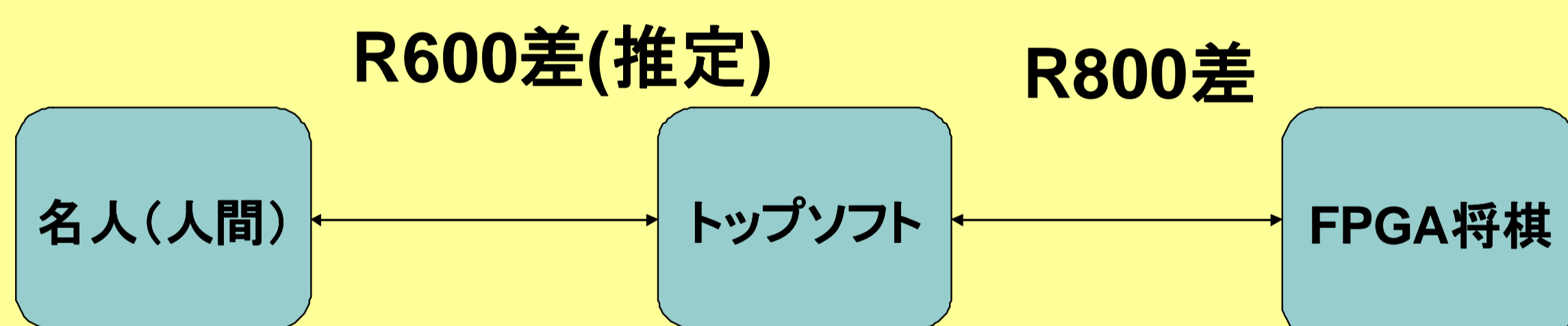
将棋では、今はまだ(1つを除いて)すべてソフト。だが

コンピュータ将棋でも同様の道をたどる可能性は大(但し、今からちゃんと開発すれば！)

※写真はいずれも www.computerhistory.org から

ASIC化による性能/棋力向上予測

将棋の強さは、レーティング(以下“R”)で表す
大前提:「深く読むと強くなる」



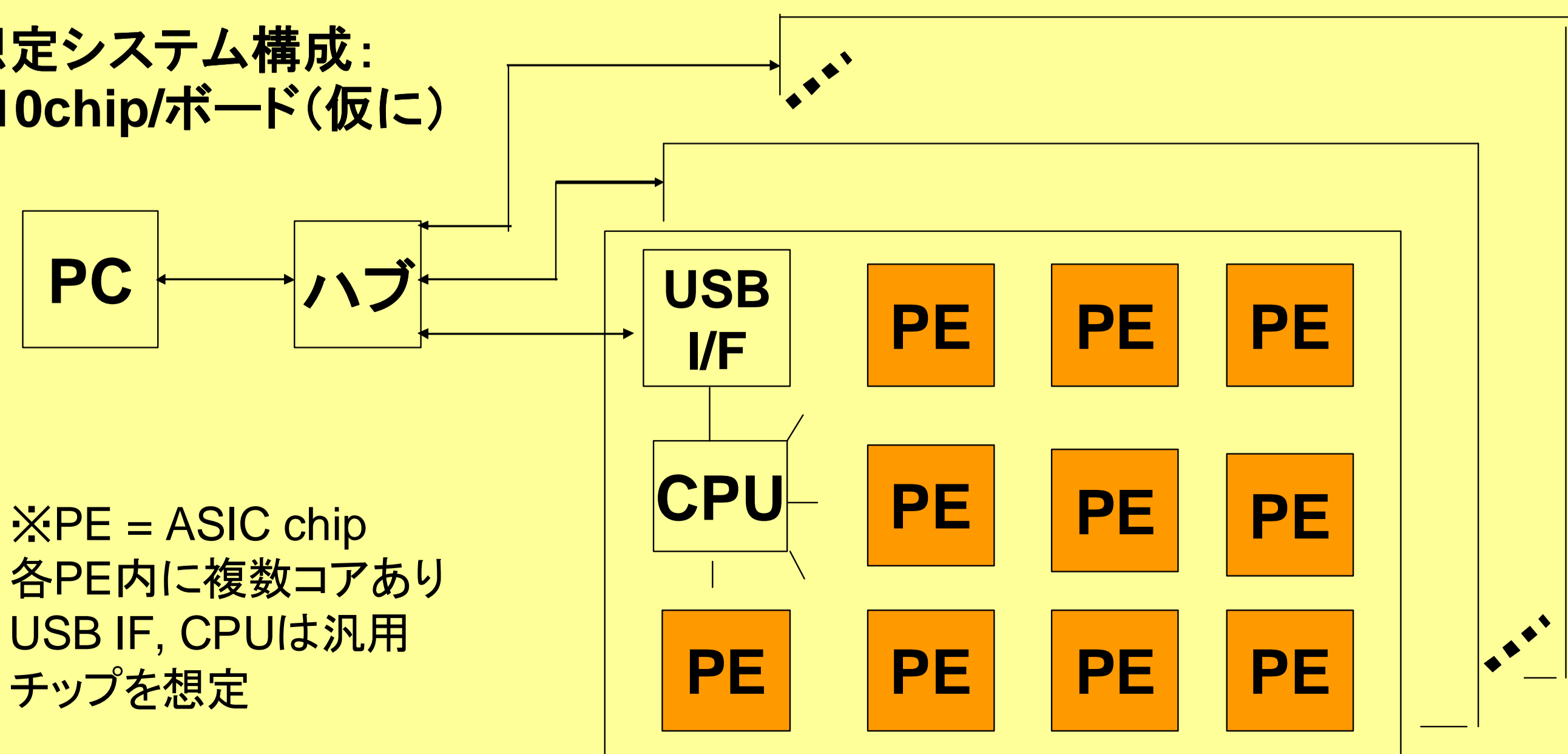
計算の仮定:

- 1手深く読むとレーティング +200(Heinzの論文他。要検証)
- 1手深く読むとノード数5倍(実績値、複数筋)
- 単体コアの棋力はあとR300程度向上可能と推測(評価関数等)
- Nコア並列の効果は $N^{0.75}$ ($\alpha\beta$ 探索の特性。要検証)
※ $\alpha\beta$ 探索向け大規模並列ソフトも要開発。
ASIC化と並ぶチャレンジ課題

- 名人に追いつくには $5^{**}(1100/200) \approx 7000$ 倍の向上必要
※ソフトで $5^{**}(600/200)=125$ 倍はコスト面等で实际的に苦しい
(数千コア、億単位のコストがかかる)
ASIC化が最も実現性高そう

神の一手はASICから生まれる

想定システム構成:
10chip/ボード(仮に)



※PE = ASIC chip
各PE内に複数コアあり
USB I/F, CPUは汎用チップを想定

ASIC化による性能/棋力向上予測(続き)

シナリオ 1) 0.18um 5x7.5mm2

- LSI試作費用 110万円 (+ボード代等) VDEC価格
- 4コア/chip、周波数 25 MHzと予想(合成結果から予測)
- ボード3枚だと、30 chip、120コア
- 性能 $(25/20) * 120^{**}0.75 = 45$ 倍、R470増加
→ ほぼ現在のトップソフト並み

シナリオ 2) 65nm 3x4mm2

- LSI試作費用 1000万円 (+ボード代等) ※MOSIS価格
- 8コア/chip、周波数 50 MHzと予想(0.18um合成結果から推定)
- ボード10枚だと、100 chip、800コア
- 性能 $(50/20) * 800^{**}0.75 = 370$ 倍、R720増加
→ 名人へあと19倍/R380差。更なる改善案:
40or32nm /フルマスク/MLR/ボード増/
並列アルゴリズム改良(>0.75乗)/コアのパイプライン化/...

名人に追いつくのは十分可能と考える

まずこのレベルを試作してみたい

皆様へのお願い

- 研究室の先生にこのプロジェクトのことを話して、将棋ASICの開発ができるかご検討下さい
 - 人工知能・機械学習・LSI設計・並列処理等、総合力の勝負
 - 論文ネタは多数あります
 - 可能ならば私自身が(研究生等として)参加できることを希望します
- ご自身の論文テーマとして興味お有りでしたら是非ご検討下さい
 - できるかぎりご協力させて/ご相談に乗らせていただきます。複数の方いらしても全く問題ありません。ソース開示、相談に応じます
- 興味持っていただけそうな研究室・先生がお知り合いにいらっしゃったらご紹介下さい

よろしくお願ひ致します